

Auf die richtigen Werkzeuge kommt es an



Komplexe System-on-Chip-Bausteine bringen wachsende Herausforderungen beim Design mit sich

Die unablässige Verkleinerung der System-on-Chip-Bausteine und der Transistor-Abmessungen wirft einerseits immer neue Probleme auf. Gleichzeitig bietet sie aber auch neue Vorteile für jene, die diese Herausforderungen überwinden. Dabei zeigt sich, dass eine systemimmanente Eigenschaft mehr und mehr zum Hemmschuh für den weiteren Fortschritt wird: Die von parasitären Netzwerken verursachten Signalverzögerungen auf den internen Verbindungsstrukturen bremsen das Deep-Submicron-Design. ■ Gerhard Angst



Rainer Sturm/Pixelio

Widerstand und Kapazität sind zwei Grundprinzipien in der Elektronik, die gemeinsam für die Signallaufzeiten der Verbindungsstrukturen verantwortlich sind. Zu den einfachsten Schaltungen gehören RC-Netzwerke, die in großem Umfang eingesetzt werden, um den Verlauf zeitlich veränderlicher Signale zu beeinflussen. Auch jeder Leiter, der sich auf einem Isolator befindet, ist mit einem Widerstand und einer Kapazität behaftet. Dies hat die Bildung parasitärer RC-Netzwerke zur Folge, die dazu führen, dass rasch veränderliche digitale Signale verzögert oder verzerrt

werden. RC-bedingte Verzögerungen sind jedoch nicht das einzige Phänomen, das sich auf die Leistungsfähigkeit auswirkt. Auch parasitäre Induktivitäten stellen ein wachsendes Problem dar.

Verbindungen über große Distanzen verursachen Routingprobleme

Abbildung 1 macht deutlich, dass nicht mehr die Gatterlaufzeiten (unbelastete Laufzeiten), sondern zunehmend die parasitären Netzwerke die Leistungsfähigkeit integrierter Schaltungen begrenzen. Konstruktionsbedingt wirken sie sich besonders auf langen Verbindungsleitungen aus. Verschärft wird dieses Problem dadurch, dass mit der Verkleinerung der Transistoren auch die Verbindungsstrukturen herabskaliert werden müssen. Widerstand und Packungsdichte steigen und verstärken unerwünschte RC-Eigenschaften.

Die Abhilfe erscheint zunächst trivial: Man vermeide lange Verbindungen. Doch durch die ständige Verkleinerung der Chip-Strukturen wird ein IC – gemessen an den Gatterabmessungen – immer größer. Dies hat zwar den Vorteil, dass komplexere Systeme auf einen Chip passen, aber das Design eines solchen System-on-Chip (SoC) wird zu einer immer komplexeren Aufgabe. Es ist nicht mehr realistisch, mit jedem SoC-Design ganz bei Null zu beginnen. Man arbeitet stattdessen nach dem Baukastenprinzip und greift auf vorgefertigte und -qualifizierte, komplexe IP-Komponenten (Intellectual Property) zurück.

Da zunehmend mehr wertvolle Chipfläche für das Routing aufgewendet werden muss, wird das zuverlässige Verbinden der IP-Blöcke jedoch zu einer schwierigen Aufgabe. Die Grenze, an die das SoC-Design stößt, ist mittlerweile tatsächlich durch die Dichte der Verdrahtung be-

AUTOR

Gerhard Angst

ist CEO von Concept Engineering in Freiburg

T +49/761/47094-0

F +49/761/47094-29

gerhard@concept.de

stimmt. Da es sich bei den IP-Komponenten um Megablöcke und nicht um einzelne Gatter oder gar Transistoren handelt, müssen zwischen diesen Blöcken relativ viele Verbindungen über große Distanzen verlegt werden. Diese Verbindungen – nicht die vergleichsweise kurzen Strecken innerhalb der IP-Blöcke – verursachen die eigentlichen Routingprobleme und wirken sich negativ auf die Leistungsfähigkeit des gesamten SoC aus. Abbildung 2 zeigt, welchen massiven Einfluss die Skalierung der Prozesstechnik auf die globalen Verdrahtungslaufzeiten hat. Besonders bei kritischen Signalverbindungen gehen Routingprobleme zu Lasten der Signalintegrität, die deshalb unter sämtlichen Betriebsbedingungen sorgfältig verifiziert werden muss. An dieser Stelle wird deshalb auch die parasitäre Induktivität zu einem Thema.

Der gesamte Designflow muss verbessert werden

Erst wenn die korrekte Funktionsweise jeder einzelnen Verbindung zwischen den IP-Blöcken verifiziert ist, kann der Ingenieur das gesamte Chipdesign für die Produktion freigeben.

Angesichts der hohen Kosten für die Fertigung von SoC-Bausteinen mit Geometrien von 90 nm und darunter wird verständlich, dass der kommerzielle Erfolg davon abhängen kann, ob ein Design gleich im ersten Anlauf korrekt ist. Parasitäre Signalverzögerungen und die Induktivitäten zwischen den Signalen – verursacht durch immer längere und schmalere sowie immer dichter gepackte Verbindungsleitungen – machen diese Verifikation immer schwieriger. Deshalb setzt die Industrie einmal mehr auf die Fähig-

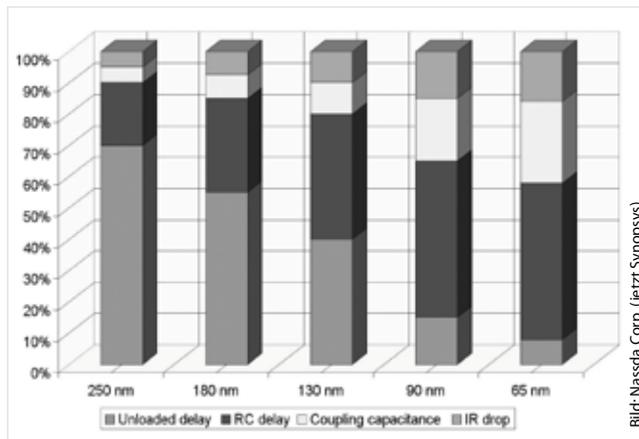


Abb. 1: Parasitäre Effekte nehmen mit der Verkleinerung der Prozessgeometrie steil zu

keiten der Designtools. Doch diese Tools müssen verbessert werden. Komplexe Designs bestehen inzwischen aus Milliarden von Layout-Polygonen, die alle präzise generiert und verifiziert werden müssen. Es geht somit nicht ohne eine Verbesserung des gesamten Designflows.

Das Design komplexer integrierter Schaltungen erfolgt seit vielen Jahren auf

der Register-Transfer-Ebene (Register Transfer Level, RTL). Die Fähigkeit, eine derart große Zahl von Transistoren auf einem einzigen Chip „unterzubringen“ (auch wenn dies in Form von IP-Blöcken geschieht), verlangt jedoch nach ausgefeilteren Methoden auf einer Abstraktionsebene oberhalb des Register-Transfer-Llevels. >

Interconnect-Initiativen

Anlässlich des diesjährigen International Electron Devices Meeting (IEDM) legten NEC und NEC Electronics einen Beitrag über ein Low-k-Dielektrikum vor, das die parasitäre Kapazität gegenüber anderen Low-k-Dielektrika um elf Prozent reduziert. Das auf einem aktuellen SCC-Film (Silica-Carbon Compound) beruhende Konzept unterbindet effektiv die Diffusion von Kupferatomen in das Dielektrikum und bringt eine ultimative Full-Low-k(FLK)-Kupfer-Verbindungsstruktur hervor. Nach Angaben von NEC ergibt dieser Prozess eine Dielektrizitätskonstante (k), die nur 35 Prozent des Werts konventioneller Low-k-Werkstoffe ausmacht. Der SCC-Film führt ebenfalls zu einer Senkung der aktiven Verlustleistung in den Interconnect-Strukturen. Er lässt sich auf den existierenden Prozessstufen ebenso einsetzen wie bei 32 nm. Ein spezieller Stabilisierungsprozess für die Kupferoberfläche sorgt dafür, dass der die Cu-Leitungen abdeckende SCC-Film eine dauerhaft hervorragende Isolationszuverlässigkeit ergibt, selbst wenn die Schichtdicke auf einige zehn Nanometer herabgesetzt wird. Bedeutsam ist diese Entwicklung auch deshalb, weil die parasitären Kapazitäten die aktive Leistungsaufnahme erhöhen. Die neu entwickelten FLK-Cu-Interconnects bieten sich aufgrund ihrer ultimativen Struktur nicht nur für 32 nm, sondern auch für konventionelle CMOS-Bausteine jeglicher Art an, um die Verlustleistung zu senken und eine hohe Zuverlässigkeit zu erzielen.

Innovative Lösungen für individuelle Herausforderungen.

TietoEnator ist einer der größten Anbieter von R&D Dienstleistungen in Europa.

Wir entwickeln Hardware-, Software- und Systemlösungen für die Automotive-, Telekommunikations- und Luftfahrtindustrie nach internationalen Standards.

Von spezifischen Hardware- und Software-Lösungen über Embedded Systems bis zu systemübergreifenden Integrationsaufgaben realisieren wir komplexe Anwendungen für unsere Kunden.

www.tietoenator.de

TietoEnator ^{TE}



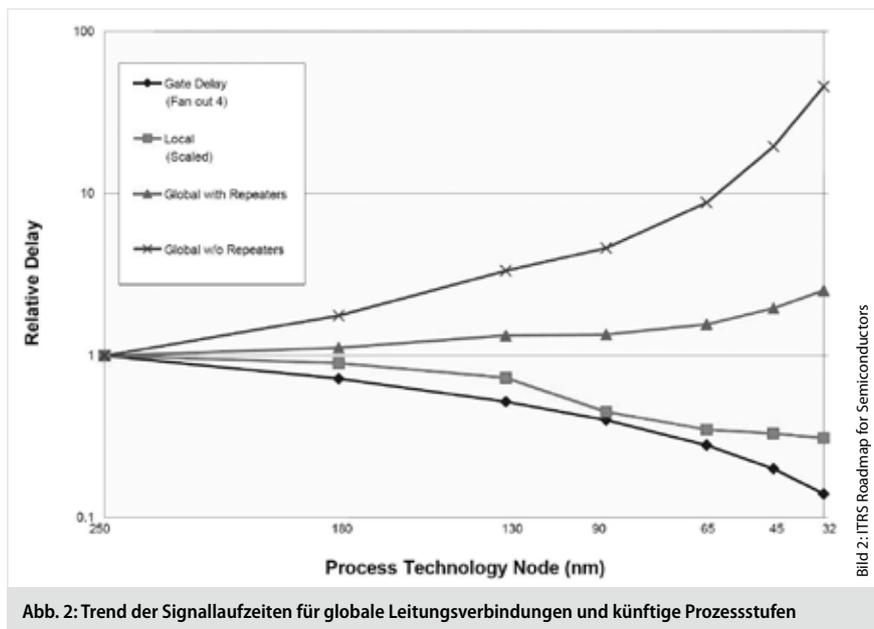


Abb. 2: Trend der Signallaufzeiten für globale Leitungsverbindungen und künftige Prozessstufen

Bild 2: ITRS Roadmap for Semiconductors

ESL-Tools (Electronic System Level) für die schnelle Definition und Verifikation komplexer SoCs wurden in den vergangenen Jahren immer fortschrittlicher, doch einen kompletten ESL-Flow für das Chipdesign sucht man nach wie vor vergebens. Eines der Probleme hängt mit den Compiler-Tools und deren Schnittstelle zwischen der hohen ESL-Abstraktionsebene und der traditionellen RT-Ebene zusammen, die gleichsam das Rückgrat bildet und auf die sich die detaillierte Implementierung stützt. Genau in diesem Stadium wird eine automatisierte Brücke zwischen den abstrakten ESL-Beschreibungen und der RT-Ebene (oder sogar der detaillierten Gatterimplementierung) benötigt. Neben dieser Umsetzung sind auch automatisierte Tools (Equivalence Checker) erforderlich, die den Beleg dafür liefern können, dass die detaillierte Implementierung (sei es auf der RT- oder der Gatterebene) die Definition auf der Systemebene zu 100 Prozent korrekt wiedergibt.

Mit Parasitic Extraction Tools ist es heute möglich, die Signallaufzeiten auf den Verbindungsleitungen im Anschluss

an die Synthese zu modellieren. Abbildung 3 zeigt das Schaltbild der parasitären Elemente eines kleinen Schaltungsfragments. In einem komplexen SoC-Design kann es Millionen solcher Netzwerke geben. Im Schaltbild sind zwei Logikgatter erkennbar, die zwei aus zahlreichen RC-Komponenten bestehende parasitäre Netzwerke ansteuern. Die Darstellung wurde auf Basis des von einem Parasitic Extraction Tool (zum Beispiel in Form einer SPICE- oder DSPF-Netzliste) generierten parasitären Netzwerks automatisch erstellt. Mit extrahierten Netzlisten dieser Art lassen sich das Verhalten und das Timing kritischer Signalwege in einer Schaltung präzise simulieren. Fortschrittliche, auf der Transistorebene arbeitende Visualisierungstools (wie SpiceVision Pro von Concept Engineering) können Netzwerkbeschreibungen dieser Art einlesen und sämtliche Details solcher parasitären Netzwerke darstellen. Parallel dazu sind die eingebauten Cross-Probing-Merkmale in der Lage, die einzelnen parasitären Elemente auf dem Chip zu lokalisieren. Im Anschluss an diese Identifikation las-

sen sich Designänderungen vornehmen oder für das Design Restriktionen definieren, die beispielsweise ein effektiveres Routing verlangen und damit die Einflüsse parasitärer Effekte auf die kritischen Signalwege mindern. Abgesehen davon ist es möglich und auch üblich, lange Signalwege (beispielsweise Takt- oder Busleitungen) mit Repeatern auszustatten. Abbildung 2 zeigt, wie Signal-Repeater zumindest in einem gewissen Ausmaß in der Lage sind, die Auswirkungen der Skalierung zu beheben, zu reduzieren oder in Grenzen zu halten. Es dürfte allerdings zu komplex sein, sämtliche denkbaren parasitären Netzwerke und ihre Wechselwirkungen (Crosstalk) mit anderen Netzsegmenten auf einem kompletten SoC präzise zu analysieren. Deshalb werden die Ressourcen ausschließlich auf jene kritischen Signalwege fokussiert, die in der Designphase entsprechend markiert wurden. Zwischen ESL und RTL gibt es bereits eine ganze Reihe Umsetzungsebenen, die teils automatisiert sind, doch der Weg zu einem vollautomatischen Designflow, der die Eingabe des Designs auf einer hohen Abstraktionsebene gestattet, ohne den Kontakt zur physischen Implementierung zu verlieren, ist noch weit.

Überlegungen zur künftigen Entwicklung

Parasitäre Netzwerke, die sich auf die Signalintegrität, die Gesamtverlustleistung und die Leistungsfähigkeit komplexer SoCs auswirken, sind ein zunehmendes Problem. Gewiss werden sich die Auswirkungen mit bestimmten Entwicklungen im Bereich der Werkstoffkunde abmildern lassen (siehe Kasten), doch in Luft auflösen wird sich das Problem hiermit nicht. Es wird darauf ankommen, sich den geschilderten Design-Herausforderungen in einer frühen Phase zu stellen – die Maßnahmen müssen gleich bei der Eingabe ansetzen. Höhere Abstraktionsebenen mögen die Produktivität verbessern, doch müssen automatisierte Tools die Einflüsse parasitärer Netzwerke kontrollieren und in den Griff bekommen. Diese Erkenntnisse müssen sich in den Tools für das Design komplexer ICs widerspiegeln. Ziel muss deshalb die Entwicklung von Werkzeugen sein, die definiert korrekte Designs hervorbringen und Probleme bereits ganz am Anfang vermeiden. ■

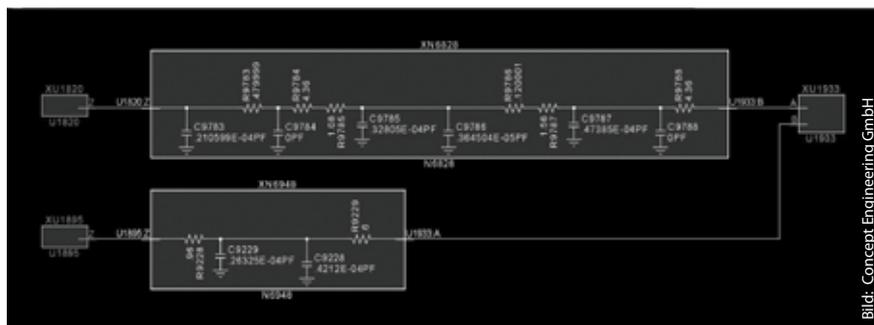


Abb. 3: Visualisierung parasitärer Netzwerke

Weiterführende Infos auf www.EuE24.net

more @ click EEK80702