

Concept Engineering steigt mit »GateVision PRO« ins Endkundengeschäft ein

Mehr Kontrolle beim Gate-Level-Debugging

Mit »GateVision PRO« hat Concept Engineering ein Gate-Level-Debugging-Tool entwickelt, mit dem sich hochkomplexe Chips verifizieren lassen. Für das Unternehmen ist dies ein Meilenstein in der Firmengeschichte, denn mit dem Werkzeug forciert Concept Engineering nun das Endkundengeschäft.

Die deutsche Firma Concept Engineering dürfte selbst eingefleischten EDA-Anwendern nicht unbedingt ein Begriff sein, und das, obwohl die meisten Entwickler mit den Tools des Unternehmens arbeiten. Das Geheimnis dieses Widerspruchs ist schnell gelüftet: Bisher war Concept Engineering hauptsächlich im OEM-Geschäft tätig. Das Unternehmen verkaufte seine Visualisierungs- und Schematic-Tools an andere EDA-Anbieter, die diese wiederum in ihre Lösungen integrierten, ohne dass der Name Concept Engineering auftauchte. Unter den Kunden von Concept Engineering befinden sich so renommierte Firmen wie Cadence, Magma, Nassda, Atrenta, LSI Logic etc.

Mit diesem Geschäftsmodell ist das Freiburger Unternehmen bislang gut gefahren. Um jedoch für die Zukunft gerüstet zu sein, drängt Concept Engineering jetzt in das Endkundengeschäft, und zwar mit dem neuen Werkzeug namens »GateVision PRO«. Dabei handelt es sich um ein Debugging-Tool für die Verifikation komplexer Chips. »GateVision PRO« verfügt über ein offenes API (Application Programming Interface), das es erlaubt, eigene Debugging-Funktionen zu implementieren und individuell anzupassen. Zusätzlich sorgt eine neue 64-Bit-Datenbasis für mehr Kapazität und erlaubt Design-Teams das Debugging großer und komplexer Chips.

»GateVision PRO« fügt sich in jeden Design-Flow ein, in dem Verilog- und EDIF-Netzlistenformate benutzt werden. Mit »GateVision PRO« erhalten Designer von integrierten Schaltungen (ICs), System-on-Chip-Bausteinen (SoC), IP-

Blöcken (Intellectual Property) und komplexen Field-Programmable Gate Arrays (FPGAs) uneingeschränkten Zugriff auf die Chip-Datenbasis. Dies ist vor allem bei der Integration von »GateVision PRO« in verschiedene Design-Flows und zum Schreiben von »Electrical Rule Checkern« (ERCs), Reportfunktionen und »Data Consistency Checks« von Vorteil. Zudem kann der Designer auf diese Weise den Inhalt von Report-Files in den GateVision-Pro-Schaltplänen visualisieren.

»Die höhere Komplexität der heutigen Chips führte zu vermehrter Nachfrage nach Debugging-Tools mit höherer Performance und

Kapazität«, erklärt Gerhard Angst, CEO von Concept Engineering. »GateVision PRO« bietet mehrere Möglichkeiten, Probleme in existierenden Design-Flows zu lösen, und erschließt dem Gate-Level-Debugging eine neue Dimension.«

Einer der ersten Beta-kunden, die »GateVision PRO« einsetzen, war der Speicherhersteller Elpida, und Masami Kinoshita, Executive Professional of DA Technology Gr. des Unternehmens, bestätigt Angsts Aussage: »Für die Verifikation unserer anspruchsvollen Chips waren wir auf eine sehr spezielle, individuell ausgelegte Extraktionsmethode angewiesen, um bestimmte kritische Signalwege in unseren Designs zu finden und zu isolieren. Auf der Basis

der individuell ausgestaltbaren Path Extraction Engine in 'GateVision PRO' konnten wir diese Signalfade automatisch extrahieren und die Fehlerabdeckung unseres Verifikations-Flows verbessern.«

Auch wenn Concept Engineering jetzt verstärkt auf das Endkundengeschäft setzt, bleibt das Hauptaugenmerk des Unternehmens auf dem OEM-Business. »Wir wollen und werden nicht in Konkurrenz zu unseren OEM-Kunden treten«, stellt Angst klipp und klar fest. »Wir werden unsere Visualisierungs- und Schematic-Werkzeuge »SpiceVision« und »NIview« auch in Zukunft weiter entwickeln und unseren OEM-Kunden zur Verfügung stellen.« (wi) ■



Gerhard Angst, Concept Engineering

» Die höhere Komplexität der heutigen Chips führte zu vermehrter Nachfrage nach Debugging-Tools mit höherer Performance und Kapazität. «